

# チップキャパシター

(1979年～現在)

チップキャパシターは、携帯電話等の小型携帯機器のアナログ、デジタル回路におけるデカップリング用途、電源回路における平滑用途などに用いられる重要な受動部品である。チップキャパシターは携帯電話の様々なモジュールに使用されており、現在、一台当たり約250個使用されるにいたっている。図1に携帯電話における使用部位を示す。

見学可能：  
JFCC 展示室  
愛知県 名古屋市  
http://www.jfcc.or.jp/  
index.html

Key-words：携帯電話、チタン酸バリウム、薄層化、大容量化、小型化

注1 温度に対する静電容量変化率のJIS規格値であり、 $-55^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の範囲で $\pm 10\%$ 以内の変化率を言う。規格値は、基準温度 $20^{\circ}\text{C}$ の静電容量値に対して、適用される温度範囲での静電容量変化率の最大値、最小値で規定される。

## 1. 製品適用分野

携帯機器回路のデカップリング、平滑用途

## 2. 適用分野の背景

携帯機器の小型・薄層化や高機能・高性能化の進展を背景に、電子部品のより一層の小型化が要求されてきた。チップキャパシターにおいても小型大容量化が進んでおり、小型サイズ品の採用が拡大している。チップキャパシターのサイズ別数量構成率の推移を図2に示す。現在、1005サイズ( $1.0 \times 0.5\text{mm}$ )へと推移し、0603( $0.6 \times 0.3\text{mm}$ )サイズ以下の超小型サイズも構成比率が増加している。

## 3. 製品の特徴と仕様

携帯電話において、チップキャパシターは、ノイズ

を逃がす、安定した電流を供給し続ける(デカップリング)、より直流に近くなるように信号を平滑化する(平滑)などの目的で各種回路に使用される。チップキャパシターには、セラミック、アルミ電解やタンタル電解、フィルムなどのタイプがあるが、中でもセラミックタイプは、携帯機器に幅広く使用されている。その理由として、小型で $0.5\text{pF} \sim 100\mu\text{F}$ の広い容量範囲をもつこと、無極性であること、高い絶縁抵抗、破壊電圧、高耐熱などの高信頼性であること、低い等価直列抵抗であることなどが挙げられる。

図3はセラミックタイプのチップキャパシターの積層構造イメージ図である。誘電体と内部電極を交互に重ね、それぞれの内部電極は交互に外部電極と接続されている。誘電体材料としては、チタン酸バリウム( $\text{BaTiO}_3$ )が主力材料として用いられる。 $\text{BaTiO}_3$ の

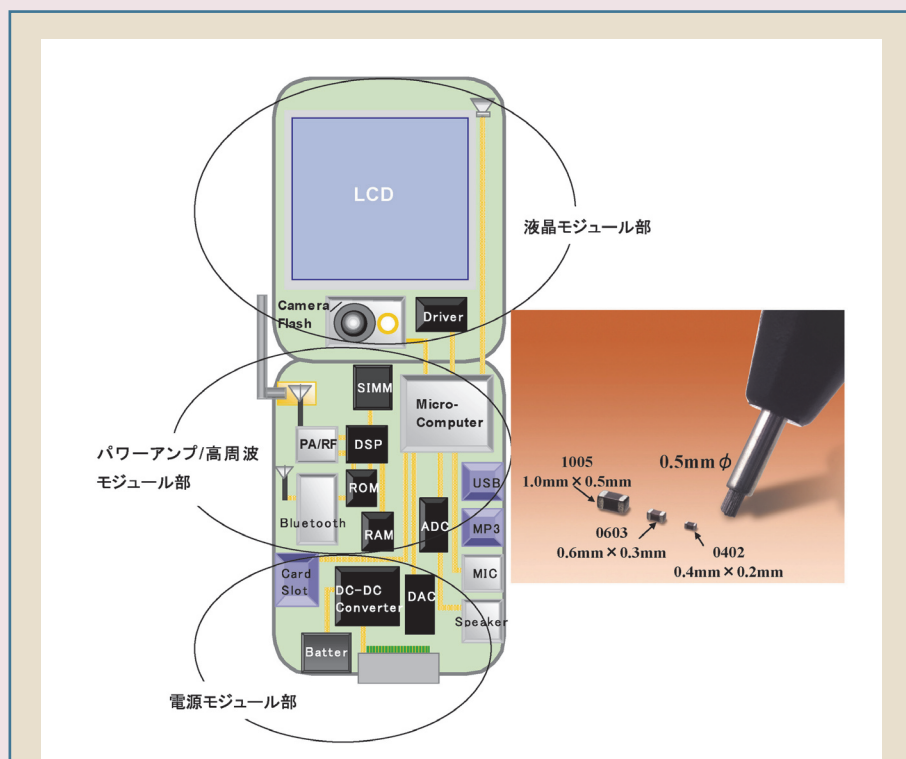


図1 携帯電話におけるチップキャパシターの使用部位

携帯電話の回路は、液晶モジュール、パワーアンプモジュール、高周波モジュール、電源モジュールの5つに大別される。チップキャパシターはすべての回路で使用されている。チップは、直方体形状をしており、シャープペンシルの先より小さなものもある。

比誘電率は常温で 1000 程度だが、120℃のキュリー温度では 10000 以上にもなる。実用上は Ba サイトをアルカリ土類元素や希土類元素で、Ti サイトを Zr や Sn で置き換えることによって、キュリー温度を移動させたり、誘電率の温度依存性を平坦化させる等の組成調整が行われる。

図 4 にチップキャパシタの誘電体層厚みと単位体積あたりの静電容量 (体積容量) の推移を示す。1980 年ごろの誘電体厚みは、20 μm で、積み重ね総数は 60 枚程度であった。2005 年には 1 μm 厚みの誘電体層を 500 層積み重ねたキャパシタが実用化され、体積容量比は実に 400 倍にもなっている。図 5 に誘電体層厚み 1 μm のキャパシタの断面写真を示す。このよ

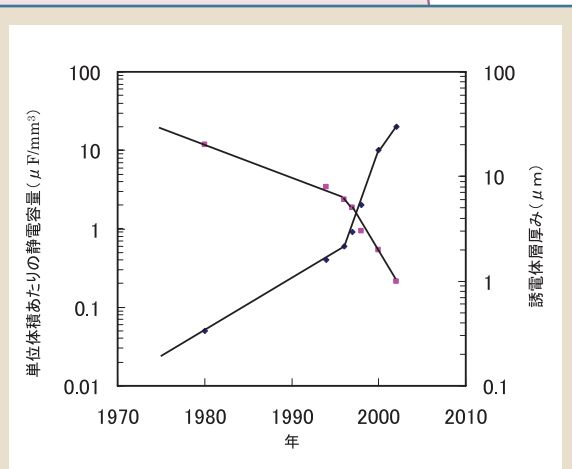


図 4 チップキャパシタの誘電体層厚みと単位体積あたりの静電容量の推移

単位体積あたりの静電容量  $C/V[\mu\text{m}^3]$  は次式で求められる。  
 $C/V = C / (NSd) = \epsilon_r \epsilon_0 / d^2$   
 ここで、C: 静電容量、V: 誘電体層の体積、N: 誘電体積層枚数、 $\epsilon_r$ : 誘電体の比誘電率、 $\epsilon_0$ : 真空の誘電率、S: 電極面積、d: 電極間距離である。このように静電容量 C/V は、誘電体の比誘電率、電極面積 S に比例、また電極間距離 d に反比例するため、大きな値を得るには、比誘電率の大きい材料で極力薄い誘電体層を形成する必要がある。

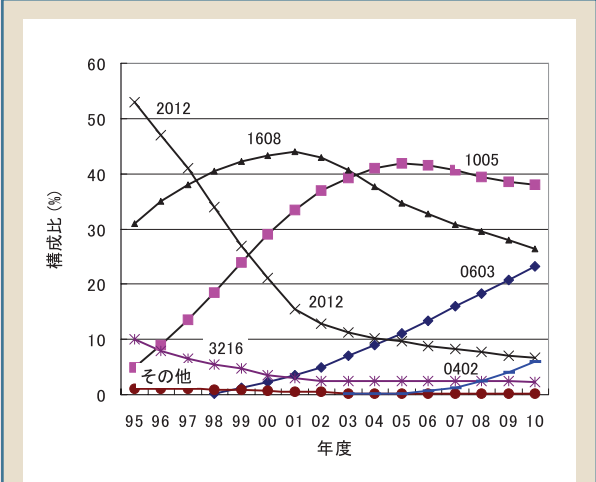


図 2 チップキャパシタのサイズ別数量構成率

図に記入されている数値は、チップサイズを表している。3216、2012、1608、0603、0402 はそれぞれ、 $3.2 \times 1.6\text{mm}$ 、 $20 \times 1.25\text{mm}$ 、 $1.6 \times 0.8\text{mm}$ 、 $0.4 \times 0.2\text{mm}$  である。携帯機器の小型高性能化や実装技術の高度化に伴って、チップキャパシタのダウンサイジングが進み、現在、最小のもので 0402 ( $0.4 \times 0.2\text{mm}$ ) のものが市販されている。

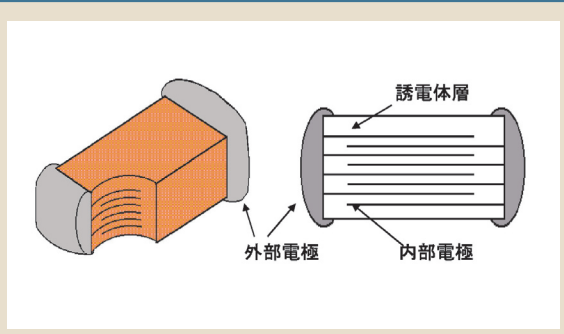


図 3 チップキャパシタの概略構造

チップキャパシタは、誘電体層、電極層、外部電極から構成されている。一般に誘電体層には高い比誘電率をもつ BaTiO<sub>3</sub> セラミックス、内部電極には、Ni、外部電極には Cu が用いられている。また、はんだ実装するため、外部電極表面には、Ni、Sn の金属 2 層めっきが施される場合がある。

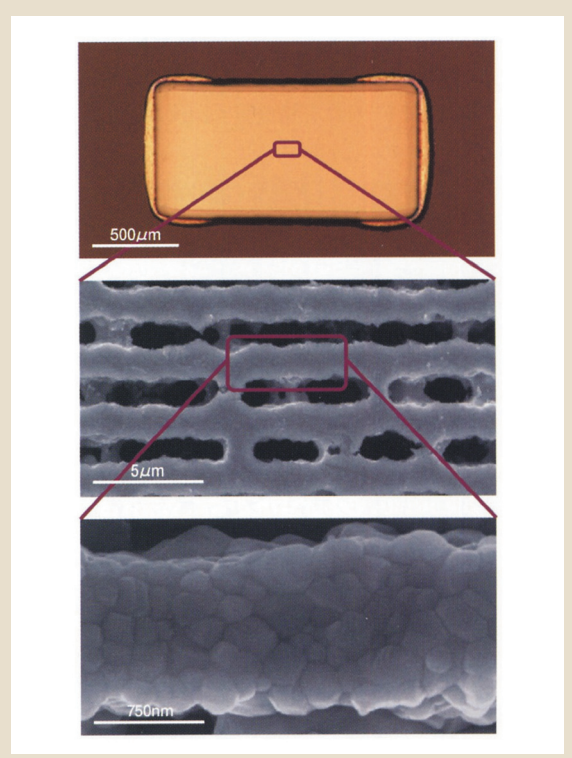


図 5 誘電体層厚み 1 μm のチップキャパシタの断面

1608 ( $1.6 \times 0.8\text{mm}$ ) B 特性<sup>註1)</sup> 10 μF のチップキャパシタの断面図である。電極と誘電体層が整然と積み重なっており、もはや肉眼では、その区別がつかない。最下部の SEM 写真のように、電極間に 100 ~ 200nm と小さなセラミック粒子が 5 個程度形成されている。

うに誘電体層の薄層化と積み重ね層数の増加策がとられてきた。しかし、誘電体層厚みを薄くすると、誘電体層にかかる電界強度が大きくなるため、信頼性を低下させずに薄層化するには、耐圧が高く、絶縁抵抗の劣化を抑制する技術が必要となる。これに対し、セラミックスの微細構造制御とファイングレイン化など誘電体材料の改良のみならず、シート成形技術の高度化、内部電極用 Ni 粉末作製技術および印刷技術、原料粉末の高分散化技術、高精度積層成形技術等の多くの要素技術の高度化が進められてきた。

#### 4. 製法

図6にチップキャパシターの一般的な製造プロセスを示す。誘電体原料製造工程では、高純度に精製した原料を用い、均一になるよう混合し、仮焼(熱処理)を行うことで、それぞれの原料を化学反応させる。グリーンシート作製においては、数 $\mu\text{m}$ レベルの薄層で厚みばらつきの小さく、欠陥のないシート形成が要求される。チップ加工工程では、グリーンシート上への薄く均質な Ni の金属塗布膜を形成し、電極の積み重ねのないように圧着、成形される。その後、成形体を個々の

チップに切断し、焼成炉にて、1000～1350℃で焼成する。これにより、セラミックスと内部電極が一体化した積層体ができあがる。測定・包装工程では、静電容量値、耐圧、絶縁抵抗などの電気特性測定、外観選別などが全数について行われ、その後、テーピングやパルクケースに収納されて最終検査後、外装梱包して出荷される。

#### 5. まとめ

携帯機器は今後もより小型化高機能化が進展し、それに伴って、チップキャパシターにも小型大容量化が要求されると予想される。今後も一層の薄層化と多層化に耐えられる材料設計、プロセス設計、商品設計を摺り合わせることで高性能化を図り、携帯機器の小型化高機能化に貢献していきたい。

#### 文 献

- 1) 村田製作所編, “セラミックコンデンサの基礎と応用”, オーム社(2003).

[連絡先] 竹田 敏和  
(株)村田製作所  
〒617-8555 長岡京市東神足1-10-1

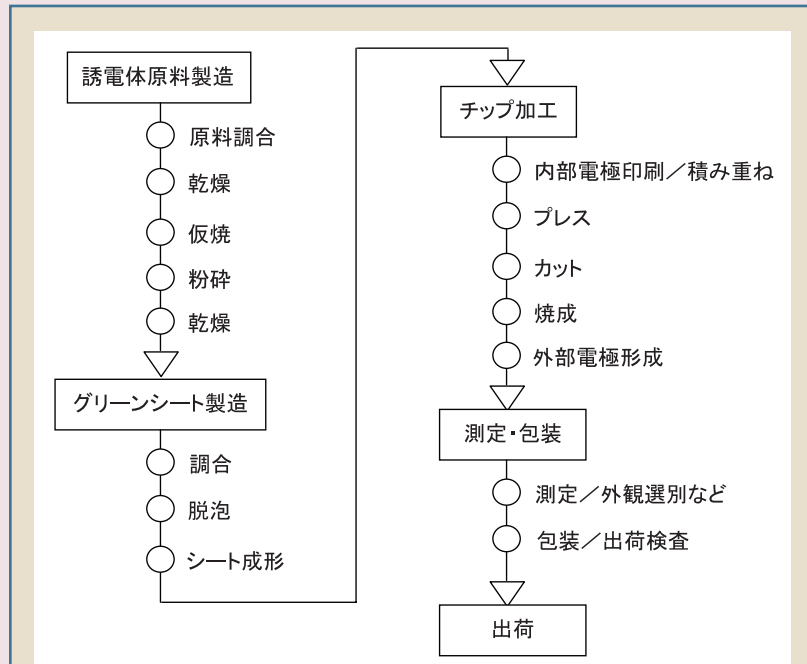


図6 チップキャパシターの製造プロセス

誘電体原料粉末に、分散剤、有機バインダー、溶剤を加え、分散させることでスラリーを作製し、ドクターブレード、ダイコータなどの塗布工法により、キャリアフィルム上に薄く延ばして、グリーンシートが作製される。その後、グリーンシート上にペースト状の内部電極をスクリーン印刷し、圧着、チップカット後、焼成される。なお、内部電極に Ni、Cu を用いた場合、焼成工程では、電極酸化防止のため、還元雰囲気中で焼成しなければならない。Ni 電極では、酸素分圧  $10^{-5} \sim 10^{-6}$ MPa の還元雰囲気中で焼成される。